

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010083563 A
(43)Date of publication of application: 01.09.2001

(21)Application number: 1020000007308
(22)Date of filing: 16.02.2000

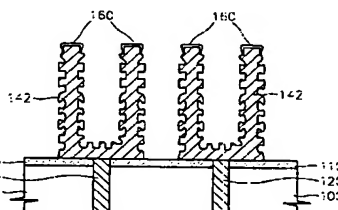
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: HWANG, GI HYEON
KIM, DONG HYEON

(51)Int. Cl. H01L 27/108

(54) METHOD FOR MANUFACTURING CAPACITOR USING SELECTIVE HEMISPHERICAL GRAIN GROWTH BY POLYMER ADHESION AND CAPACITOR MANUFACTURED THEREBY

(57) Abstract:

PURPOSE: A capacitor manufactured by using a selective hemispherical grain growth is provided to effectively prevent a bridge phenomenon while maintaining the same electrical characteristic as compared with a conventional hemispherical grain (HSG) capacitor, by making the HSG not formed in the upper surface and the corner of a lower electrode of a cylinder type.



CONSTITUTION: A hemispherical grain(HSG) is formed on the outer, inner or outer/inner surfaces of a lower electrode(142) of a cylinder shape, and the spherical grain is formed only on the surface except the upper surface and the corner of the lower electrode of the cylinder shape. A dielectric layer is formed on the lower electrode. An upper electrode is formed on the dielectric layer.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020828)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/108

(11) 공개번호 특2001-0083563
(43) 공개일자 2001년09월01일

(21) 출원번호	10-2000-0007308
(22) 출원일자	2000년02월16일
(71) 출원인	삼성전자 주식회사 윤종용 경기 수원시 팔달구 매탄3동 416
(72) 발명자	김동현 서울특별시관악구신림8동1656번지미성아파트1동708호 황기현 경기도용인시수지구읍현대아파트102동307호
(74) 대리인	이영필, 정상빈, 이래호

심사청구 : 있음

(54) 폴리머 부착에 의한 선택적 반구형 그레인 성장을 이용한커패시터의 형성방법 및 이에 의해 형성된 커패시터

요약

본 발명은 표면에 반구형 그레인(HSG)이 형성된 커패시터 및 그 형성방법에 관한 것이다. 본 발명의 커패시터는 하부전극이 실린더 형상으로 형성되고 그 표면에 HSG가 형성되지만, 적어도 실린더 상부 표면 및 모서리 부분에는 HSG가 형성되지 않은 것을 특징으로 한다. 실린더 상부 표면 및 모서리 부분에 HSG가 형성되지 않도록 하는 것은, 실린더 형상의 하부전극의 상부 표면 및 모서리에 C.H.F.계의 가스를 이용한 플라즈마 처리를 행하여 하부전극의 상부 표면 및 모서리에 폴리머를 부착함으로써 후속 HSG 성장공정에서 HSG가 성장되지 않도록 함으로써 달성된다. 본 발명에 의하면, 후속 세정공정에서 기계적으로 취약한 실린더 상부가 떨어져 나가 발생하는 브리지 현상을 방지할 수 있다.

도표도

도5

발명시

도면의 간단한 설명

도 1은 실린더 형상의 하부전극 표면에 반구형 그레인이 형성된 종래의 커패시터 하부전극을 도시한 단면도이다.

도 2 내지 도 6은 본 발명의 실시시에 따라 실린더 형상의 하부전극 표면에 반구형 그레인이 선택적으로 성장된 커패시터의 형성과정을 도시한 단면도들이다.

도 7은 실린더 형상의 하부전극 표면에 CF₄ 및 CHF₃ 가스를 이용한 플라즈마 처리를 행한 후 그 상부에 부착된 폴리머의 성분을 분석한 결과를 도시한 그래프이다.

도 8은 본 발명의 방법에 따라 실린더 형상의 하부전극 표면에 C.H.F.계의 가스를 이용한 플라즈마 처리를 행한 경우에 반구형 그레인의 성장이 억제되는 메커니즘을 개념적으로 도시한 도면이다.

도 9는 본 발명의 다른 실시시에 따라 실린더 형상의 하부전극 표면에 반구형 그레인이 선택적으로 성장된 커패시터 하부전극을 도시한 단면도이다.

도 10은 본 발명의 또다른 실시시에 따라 실린더형 하부전극 표면에 반구형 그레인이 선택적으로 성장된 커패시터 하부전극을 도시한 단면도이다.

도 11은 본 발명과 종래의 방법에 따라 커패시터를 형성하였을 때 하부전극간 브리지의 발생빈도를 비교하여 도시한 그래프이다.

도 12 내지 도 15는 각각 본 발명과 종래의 방법에 따라 커패시터를 형성하였을 때 그 C_{min}, C_{min}/C_{max} 비, 파괴전압 특성 및 누설전류 특성을 측정하여 비교 도시한 그래프들이다.

발명의 상세한 설명

발명의 목적

본명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 커패시터에 관한 것으로, 특히 하부전극 표면에 반구형 그레인(Hemispherical Grain, 이하 HSG라 한다)이 형성된 HSG 커패시터에 관한 것이다.

반도체 소자 예컨대 DRAM의 집적도가 점차 높아짐에 따라 DRAM의 메모리 셀을 구성하는 커패시터가 차지하는 면적도 점차 줄어들고 있다. 이렇게 줄어든 면적 상에 최대한 높은 커패시턴스를 가지는 커패시터를 형성하기 위해서, 유전막의 박막화, 높은 유전상수를 가지는 물질의 사용, 전극 표면적의 증대 등의 방법들이 제안되었다. 특히, 전극 표면적을 증대하기 위해 실린더(cylinder)형, 핀(fin)형 등의 입체적인 구조를 가지는 전극이 제안되었고, 전극 표면에 울퉁불퉁한 HSG를 성장시킴으로써 표면적을 증대시키는 HSG 커패시터가 제안되었다. HSG 커패시터의 기본 구조 및 형성방법은 미국특허 US 5,597,756호 등에 나타나 있으므로 그 상세한 설명은 생략한다.

그런데, 도 1에 도시된 바와 같은 HSG 커패시터는 그 표면에 HSG가 형성되지 않은 단순 실린더형 하부전극에 비해 표면적이 증가하여 커패시턴스는 증가하지만, 후속공정 즉 HSG 성장후 유전막 증착전 세정공정에서 HSG 또는 하부전극(10)의 일부(12)가 떨어져 나와 인접한 다른 하부전극과 전기적으로 연결되는 현상(이하에서는 이를 브리지(bridge) 현상이라 한다)이 발생하기 쉽다. HSG 성장후 유전막 증착전의 세정공정은, 통상 웨이퍼 한 매 단위(매업식) 수행되는 HSG 성장공정을 거친 기판을 통상 배치식으로 수행되는 유전막의 증착을 위한 챔버로 이동시며, 대기중에 노출되어 자연 산화막이 생성되거나 오염 입자가 부착되므로 이를 제거하기 위함이다. 이렇게 브리지 현상에 의해 두 하부전극이 전기적으로 연결되면 서로 독립적으로 데이터의 저장이나 독출이 행해져야 하는 두 메모리 셀을 전기적으로 구분할 수 없게 된다.

본명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 전술한 브리지 현상이 방지되는 구조의 커패시터를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 전술한 브리지 현상이 방지되는 커패시터를 형성하는 방법을 제공하는 것이다.

본명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명에 따른 커패시터는, 실린더 형상의 내부, 외부 또는 내외부 표면에 HSG가 형성되되, 상기 실린더 형상의 상부 표면 및 모서리를 제외한 표면에만 HSG가 형성된 실리콘 하부전극을 구비한다.

즉, 본 발명의 커패시터의 하부전극은 실린더 형상으로 형성되고 그 표면에 HSG가 형성되지만, 적어도 실린더 상부 표면 및 모서리 부분에는 HSG가 형성되지 않는다. 이는, 전술한 브리지 현상이 HSG의 성장으로 인해 기계적으로 특히 취약하게 된 하부전극의 상부(도 1의 12)가 떨어져 나감으로 인해 발생된다는 점에 착안한 것이다.

상기의 다른 기술적 과제를 달성하기 위한 본 발명의 커패시터 형성방법은, 실린더 형상의 비정질 실리콘 하부전극을 형성한 후, 하부전극의 상부 표면 및 모서리를 제외한 표면에 HSG를 형성하고, 상부 표면 및 모서리를 제외한 표면에 HSG가 형성된 하부전극 상에 유전막 및 상부전극을 형성하는 단계를 구비한다.

여기서, 실린더 형상의 비정질 실리콘 하부전극의 상부 표면 및 모서리를 제외한 표면에만 HSG를 형성하는 것은, 하부전극의 상부 표면 및 모서리에 C.H.F.계의 가스를 이용한 플라즈마 처리를 행하여 하부전극의 상부 표면 및 모서리에 폴리머를 부착함으로써, 상부 표면 및 모서리에는 HSG가 성장되지 않도록 하는 것이다. 즉, 본 발명은 실린더 형상의 비정질 실리콘 하부전극의 상부 표면 및 모서리에 CH₄, 또는 CH₃F와 같은 C.H.F.계의 가스를 이용하여 플라즈마 처리를 행하면, 상기 상부 표면 및 모서리에 C-C, C-H, C-F 결합을 포함하는 폴리머가 부착되고, 이 폴리머는 후속하는 HSG 성장단계에서 HSG의 성장을 억제하는 성질을 이용한 것이다.

이와 같이, 본 발명에 따르면 실린더 형상의 하부전극의 상부 표면 및 모서리에는 HSG를 형성하지 않음으로써, 후속 세정공정에서 특히 취약한 하부전극의 상부가 떨어져 나가는 것을 억제하여 브리지 현상을 방지할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 그러나, 이하의 실시예는 이 기술분야의 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 본 발명의 범위를 한정하는 것이 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 개재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다.

도 2 내지 도 6은 본 발명의 일 실시예에 따라 커패시터를 형성하는 과정을 도시한 단면도들이다.

도 2를 참조하면, 먼저 트랜지스터 등이 형성된 기판(미도시) 상에 층간절연막(100) 및, 그 위에 형성될 전극간 절연막 패턴(130)과는 식각 선택비를 가지는 물질로 이루어진 식각정지막(110)을 형성하고, 기판의 소정 부위 예컨대, 트랜지스터의 소스 영역과 전기적으로 연결되는 하부전극 컨택 플러그(120)를 도전성 물질로 형성한다. 이어서, 식각정지막(110) 상에, 이후에 이웃하는 하부전극들을 서로 분리시키기 위한 전극간 절연막 패턴(130)을 형성한다. 전극간 절연막 패턴(130)은 식각정지막(110) 및 하부전극 컨택 플러그(120) 전면에 PSG(Phosphorous Silicate Glass), BPSG(Boron Phosphorous Silicate Glass), USG(Undoped Silicate Glass), PE-TEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate) 등과 같은 절연막을 적층하고 하부전극 컨택 플러그(120)를 노출하도록 식각함으로써 형성된다. 이때, 식각정지막(110)은

예컨대, 실리콘 산화막으로 이루어진 전극간 절연막 패턴(130)과 식각 선택비가 있는 예컨대 실리콘 절화막으로 이루어졌으므로, 식각정지막(110)과 하부전극 콘택 플러그(120)가 노출되면 식각이 정지된다. 물론, 식각정지막(110) 및 전극간 절연막 패턴(130)은 식각 선택비가 있는 다른 물질로도 형성될 수 있다. 한편, 이 식각정지막(110)은 전극간 절연막 패턴(130)과 하부의 층간절연막(100)이 충분한 식각 선택비를 가지고 있다면, 생략할 수도 있다.

이어서, 기판 전면에 비정질 실리콘을 증착하여 전극간 절연막 패턴(130)에 의해 형성된 굴곡(단차)을 따라 비정질 실리콘층(140)을 형성한다. 이 비정질 실리콘층(140)은 이후에 실린더 형상의 하부전극으로 되는 층으로서, HS6로 성장가능하도록 비정질로 증착한다. 비정질 실리콘층(140)은 소정 온도와 압력하에서 모노실란(monosilane), 디실란(disilane), 트리실란(trisilane), 디클로로실란(dichlorosilane) 등의 실란계 가스를 실리콘 소스가스로 하여 화학기상 증착법으로 증착한다. 이때, 이 비정질 실리콘층(140)은 소정의 불순물(예컨대, 인이나 비소 이온)로 도핑하면서 증착될 수도 있고, 일단 도핑되지 않은 상태로 증착된 후 HS6 성장 단계 이후에 불순물 도핑과정을 수행할 수도 있다. 불순물 도핑은 상기 실리콘 소스가스와 함께 PH₃ 가스나 AsH₃ 가스를 불순물 소스가스로 첨가하여 인시투(In-situ)로 수행할 수 있다. 이때 실리콘 소스가스 대비 불순물 소스가스의 유량비를 조절함으로써 불순물의 도핑 농도를 조절할 수 있고, 이 도핑 농도는 비정질 실리콘층(140)의 전 두께에 걸쳐 일정하게 할 수도 있고, 경우에 따라서는 비정질 실리콘층(140)의 저면에서 표면으로 갈수록 점점 높게 또는 점점 낮게 할 수도 있다. 이는 비정질 실리콘층(140)의 도핑 농도에 따라 후속하는 HS6의 성장과정에서 성장되는 HS6의 크기가 달라지는 점을 이용하기 위한 것이다. 즉, 비정질 실리콘층(140)의 도핑 농도가 낮을수록 형성되는 HS6의 크기가 커지고, 도핑 농도가 높을수록 HS6의 크기는 작아진다. 따라서, 응용에 맞게 이후에 형성되는 실린더 형상의 하부전극의 실린더 내부 표면에 형성되는 HS6의 크기와 실린더 외부 표면에 형성되는 HS6의 크기를 달리 할 수 있게 된다.

이어서, 기판 전면에 단차 도포성이 좋은 고온 USG, PSG, BPSG, PE-TEOS, HSQ(Hydro Silses Quioxane), SOG(Spin-on-glass) 등의 절연막(150)을 충분한 두께로 증착하여 비정질 실리콘층(140)에 형성된 트렌치를 메운다. 이 트렌치를 메운 절연막(150)은 후속의 평탄화 및 전극분리시 실린더 형상의 하부전극 내부에 식각 부산물이나 불순물이 쌓이는 것을 방지하기 위함이다.

이어서, 도 3에 도시된 바와 같이, 전극간 절연막 패턴(130) 상부에 형성된 비정질 실리콘층(140) 및 절연막(150)을 제거하고 평탄화함으로써, 실린더 형상의 비정질 실리콘층(140a)을 형성한다. 동시에 인접한 실린더 형상의 비정질 실리콘층(140a)들간의 분리가 행해진다. 이 평탄화 및 전극분리는 화학기계적 연마나 건식 전면 에치백(blanket etch-back)에 의해 수행될 수 있다. 에치 백을 이용하는 경우 CF₄, C₂F₆, C₃F₈ 등의 C₂F₆ 계열 가스를 이용한 플라즈마 식각을 이용할 수 있다. 그러면, 이 C₂F₆ 계열 가스는 절연막(150)과 비정질 실리콘층(140)간의 식각 선택비가 낮아 도 3에 도시된 바와 같이 평탄한 표면을 얻을 수 있다.

이어서, 도 4에서 화살표로 도시된 바와 같이, 전면에 CHF₃ 또는 CH₃F, 등의 C₂H₂F₂ 계열 가스를 이용하여 플라즈마 처리를 행한다. 그러면, 예컨대 실리콘 산화막으로 이루어진 전극간 절연막 패턴(130) 및 트렌치를 메운 절연막(150a)은 약간 식각되고, 비정질 실리콘층(140a)은 식각되지 않으므로 상대적으로 약간 돌출된다. 또한, C₂H₂F₂ 계열 가스와 식각 부산물들이 반응하여 형성된 C-C, C-H, C-F 결합을 포함하는 폴리머(160)가 비정질 실리콘층(140a)의 상부에 부착된다. 이 C₂H₂F₂ 계열 가스를 이용한 플라즈마 처리조건은 다음과 같다.

공정 챔베내 압력 : 약 90 mTorr

C₂H₂F₂ 계열 가스의 유량 : 40~50 sccm

서셉터 온도 : 약 15°C(기판 온도는 약 200°C)

RF 파워 : 750~1000 W

처리 시간 : 약 20초

이어서, 전극간 절연막 패턴(130a) 및 트렌치를 메운 절연막(150b)을 모두 제거하고, 노출된 실린더 형상의 비정질 실리콘층(140a)의 표면에 HS6를 성장시키면 도 5와 같이 된다. 도 5로부터 알 수 있듯이, 폴리머(160)가 부착된 실린더 형상의 하부전극(142)의 상부 표면 및 모서리에서는 HS6가 형성되지 않고 그 아래의 실린더 내외부 표면에만 HS6가 형성된다. 즉, 실린더 형상의 하부전극(142)의 상부 표면 및 모서리에 부착된 폴리머(160)는 HS6의 형성을 억제하는 역할을 수행한다. 이렇게 폴리머(160)에 의해 HS6가 형성되지 않는 부분은 도 4의 플라즈마 처리시간이나 RF 파워와 관련되지만(상부 표면 및 모서리에 HS6가 형성되지 않는 메카니즘이나 공정조건에 따른 영향은 후술한다), 실린더 형상의 하부전극(142)의 상부로부터 대략 100~200 Å 정도가 된다(참고로, 하부전극(142)의 전체 높이는 대략 10000 Å 정도이다).

HS6를 성장시키는 방법으로는, 비정질 실리콘층(140a)에 형성된 기판에 실란계 가스를 시드(seed) 가스로 주입하고 대략 10⁻⁴ Torr 이하의 진공상태에서 이 시드 주위로 실리콘 원자를 이동(migration)시켜 HS6를 성장시키거나, 불순물이 도핑된 비정질 실리콘을 증착하면서 시딩(seeding)작업 없이 연속하여 인시투로 적정 온도와 압력에서 표면의 실리콘 원자를 이동시켜 HS6를 성장시키는 방법이 알려져 있다. 본 실시예에서는 전자의 방법으로 대략 600 °C 전후의 기판 온도를 유지하면서 수 분 정도 실리콘 원자를 이동시켰다. 그러면, 실린더의 상부 표면 및 모서리를 제외하고 노출된 실린더의 내외부 표면에 HS6가 형성되고 동시에, 비정질 실리콘층(140a)은 결정화되어 표면에 HS6가 형성된 결정질 실리콘으로 이루어진 하부전극(142)이 된다.

이어서, 도 6에 도시된 바와 같이, 그 상부 표면 및 모서리를 제외하고 실린더의 내외부 표면에 HS6가 형성된 하부전극(142)의 표면에 유전막(170) 및 상부전극(180)을 형성함으로써 커패시터를 완성한다. 이때, 유전막(170)을 형성하기 전에, HS6가 형성된 하부전극(142) 표면에 형성된 자연 산화막이나 오염 입자를

을 제거하기 위한 세정공정이 추가될 수 있는데, 본 실시예에 의한 커패시터의 하부전극은 상부 표면 및 모서리 부분에 HS6가 형성되지 않으므로 그 기계적 강도가 저하되지 않아 세정공정중에 부러지거나 떨어져 나가는 경우가 현저하게 줄어든다.

이하에서는, 본 발명에 따라 C.H.F.계 가스를 사용한 플라즈마 처리를 행한 경우에 HS6가 형성되지 않는 메커니즘을 규명하기 위해 수행한 실험예를 소개한다.

먼저, 도 3과 같이 평탄화 및 전극간 분리가 이루어진 비정질 실리콘층(140a) 및 절연막(150a)이 형성된 기판에 대하여, AMT사의 Mxp+ 플라즈마 챔버에서 CF₄, C₂F₆, C₃F₈, CHF₃ 가스, 이렇게 네 가지의 가스를 사용하여 각각 플라즈마 처리를 하고, 절연막(도 3의 150a 또는 도 4의 150b) 및 전극간 절연막 패턴(도 3의 130 또는 도 4의 130a)을 제거한 이후에 HS6 성장공정을 수행한 결과를 비교하였다. 그 결과 CF₄, C₂F₆ 또는 C₃F₈ 가스를 사용한 경우에는 실리콘의 상부 표면 및 모서리를 포함한 전 표면에 HS6가 형성되었으나, CHF₃ 가스를 사용한 경우에는 실리콘의 상부 표면 및 모서리에 HS6가 형성되지 않았다. 결국 CHF₃ 가스 고유의 부산물인 CH₃가 HS6의 성장 억제에 기여한 것으로 생각된다.

또한, 공정조건을 다음 표와 같이 한 경우들의 실리콘 상부 표면 및 모서리의 HS6 성장 억제 정도를 비교하였다.

[표 1]

	실험군	압력 (mTorr)	자기장 (G)	처리시간 (초)		식각량 (Å)	
				Ar			
1	90	750	15	15	160	20	1080
2	90	750	15	-	90	20	950
3	90	1000	15	-	90	18	830

그 결과, 실험군 1에서 3으로 갈수록 실리콘 상부 표면 및 모서리의 HS6 성장이 억제되는 것으로 나타났다. 한편, 실리콘 내외부 표면에 형성되는 HS6에는 변화가 없었다. 결국, CF₄ 가스를 사용하지 않고 CHF₃ 가스를 사용하면서 RF 파워는 증가할수록 실리콘 상부 표면 및 모서리의 HS6 형성이 억제된다고 할 수 있다.

한편, CF₄와 CHF₃를 이용하여 각각 플라즈마 식각한 경우에 실리콘 상부에 형성된 폴리머의 성분을 분석하였다. 도 7은 이를 도시한 것으로서, 도면을 보면, CF₄를 이용한 경우에 비해 CHF₃를 이용한 경우가, CF 및 CF₂의 결합이 두드러지게 우세하고, 나머지는 별 차이가 없음을 알 수 있다. 한편, 도시되지는 않았지만, 불소(F) 성분의 수직적 분포는 CF₄를 이용한 경우가 더 깊게 불소가 침투하는 것으로 나타났다.

이같은 결과들을 종합해 볼 때, 본 발명에 따라 C.H.F.계 가스를 이용한 플라즈마 처리에 의한 HS6 성장 억제 메커니즘은 다음과 같다고 생각할 수 있다. 즉, 도 8에 도시된 바와 같이, 비정질 실리콘층에 C.H.F.계 가스를 이용한 플라즈마 처리를 행하면 실리콘(144) 상부 표면에 C-C, C-H, C-F 결합을 포함하는 폴리머(160)가 형성되고, 이 폴리머(160)는 후속 세정공정에서도 제거되지 않으며, 따라서 실리콘(142)을 이루는 실리콘 원자의 실리콘(142) 상부 표면에 있는 시드(165)로의 이동을 막아 결과적으로 실리콘 상부 표면 및 모서리에 HS6가 형성되지 않는 것으로 생각된다. 한편, 폴리머가 형성되지 않는 실리콘(142)의 측벽 부분에는 HS6의 형성이 방해되지 않으므로 종래와 마찬가지로 HS6가 형성된다.

한편, 도 9는 본 발명의 다른 실시예에 따른 커패시터의 하부전극 구조를 도시한 단면도이다.

본 실시예에서 하부전극(144)은 실리콘의 내부 표면에만 HS6가 형성된다. 물론, 본 실시예에서도 전술한 일 실시예와 마찬가지로 실리콘의 상부 표면 및 모서리 부분에는 HS6가 형성되지 않는다. 이렇게 내부 표면에만 HS6를 형성하는 이유는, 소자의 고집적화에 따라 인접한 하부전극간 간격이 너무 좁아 외부 표면에도 HS6를 형성하면 그로 인해 인접한 하부전극들이 전기적으로 연결되는 브리지 현상이 일어날 우려가 있는 경우를 피하기 위함이다.

도 9에 도시된 구조의 커패시터 하부전극(144)을 형성하기 위해서는, 전술한 일 실시예에서와 마찬가지로 단계들을 수행하지만, 도 4에 도시된 C.H.F.계의 가스를 이용한 플라즈마 처리단계 이후에 트렌치를 메우는 절연막(150b)만을 선택적으로 제거하고 HS6를 성장시킨다. 이 트렌치를 메우는 절연막(150b)만을 선택적으로 제거하기 위해서는, 전술한 일 실시예와는 달리 전극간 절연막 패턴(도 2의 130)과 트렌치를 메우는 절연막(도 2의 150)을, 소정의 식각가스나 식각액에 대하여 식각 선택비를 가지는 서로 다른 물질로 형성한다. 즉, 전술한 일 실시예에서와 같이 전극간 절연막 패턴(130)을 실리콘 산화막 계열의 물질로 형성한다면, 트렌치를 메우는 절연막(150)은 실리콘 산화막이 아닌 예컨대, 포토레지스트(photoresist)로 형성한다. 이어서, 도 9에 도시된 바와 같이, 포토레지스트로 이루어진 트렌치를 메우는 절연막을 애싱(ashing) 및/또는 스트립(strip)으로 제거하고, 전술한 일 실시예에서와 같이 HS6를 성장시킨다. 이후, 도시하지는 않았지만 전면에 유전막 및 상부전극을 형성함으로써 커패시터를 완성한다. 이때, 유전막을 형성하기 전에 전극간 절연막 패턴(130a)까지 마저 제거한 후에 유전막 및 상부전극을 형성할 수도 있다.

도 10은 본 발명의 또 다른 실시예에 따른 커패시터의 하부전극 구조를 도시한 단면도이다.

본 실시예에서 하부전극(146)은 실리콘의 외부 표면에만 HS6가 형성된다. 물론, 본 실시예에서도 전술한 실시예들과 마찬가지로 실리콘의 상부 표면 및 모서리 부분에는 HS6가 형성되지 않는다. 이렇게 외부 표

면에만 HSG를 형성하는 이유는, 소자의 고집적화에 따라 실린더형 하부전극의 내부공간이 너무 좁아 내부 표면에도 HSG를 형성하면 그로 인해 특히 실린더의 내부 모서리 부분에서 HSG가 서로 겹쳐 유전막이 균일하게 증착되지 않거나 보이드(void)가 형성되어 유전막의 신뢰성이 저하될 우려가 있는 경우를 피하기 위함이다.

도 10에 도시된 구조의 커패시터 하부전극(146)을 형성하기 위해서는, 전술한 다른 실시예와 마찬가지로 전극간 절연막 패턴(도 2의 130)과 트렌치를 메우는 절연막(도 2의 150)을 식각 선택비를 가지는 서로 다른 물질로 형성하고, 도 4의 플라즈마 처리를 행한 후 전술한 다른 실시예와는 달리 전극간 절연막 패턴(130a)만을 선택적으로 제거한 후 HSG를 성장시키면 된다. 이후, 도시하지는 않았지만 트렌치를 메운 절연막(150b)을 제거하고 전면에 유전막 및 상부전극을 형성함으로써 커패시터를 완성한다.

도 11은 본 발명에 따른 커패시터의 브리지 발생빈도를 종래의 커패시터의 브리지 발생빈도와 비교하여 도시한 누적분포 그래프이다. 도 11에서, 본 발명의 경우는 도 3의 평탄화 및 전극간 분리를 CF₄ 건식 전면 에치백을 수행한 후 도 4의 CHF₃ 플라즈마 처리를 행하고 도 6과 같은 형태의 커패시터를 형성한 경우이고, 종래기술의 경우는 본 발명의 경우에서 도 4의 CHF₃ 플라즈마 처리를 행하지 않은 경우이다.

도 11에서 알 수 있듯이, 본 발명에 따라 실린더 상부 표면 및 모서리 부분에 HSG를 형성하지 않은 경우가 종래의 경우에 비해 브리지 발생빈도가 현저하게 감소하였다.

한편, 도 12 내지 도 15는 본 발명에 따라 실린더 상부 표면 및 모서리에 HSG를 형성하지 않은 커패시터와 종래의 HSG 커패시터의 각각 커패시턴스(C_{in}), C_{in}/C_{out} 비, 파괴전압 및 누설전류 특성을 비교하여 도시한 누적분포 그래프이다.

도 12 내지 도 15로부터 알 수 있듯이, 본 발명에 따라 실린더 상부 표면 및 모서리에 HSG를 형성하지 않은 경우와 종래의 HSG 커패시터 간에는 그 커패시턴스 및 파괴전압, 누설전류 특성에 있어서 유의차가 없다.

발명의 효과

이상 상술한 바와 같이 본 발명에 의하면, 실린더 형상의 하부전극의 상부 표면 및 모서리에는 HSG를 형성하지 않음으로써, 종래의 HSG 커패시터와 비교하여 동일한 전기적 특성을 유지하면서도, 세정공정중 하부전극의 상부가 떨어져 나가 발생하는 브리지 현상을 효과적으로 방지할 수 있다.

(5) 청구의 범위

청구항 1

실린더 형상의 내부, 외부 또는 내외부 표면에 반구형 그레이인이 형성되되, 상기 실린더 형상의 상부 표면 및 모서리를 제외한 표면에만 반구형 그레이인이 형성된 실리콘 하부전극;

상기 하부전극 상에 형성된 유전막; 및

상기 유전막 상에 형성된 상부전극을 구비하는 것을 특징으로 하는 커패시터.

청구항 2

제1항에 있어서, 상기 반구형 그레이인은 상기 실린더 형상의 하부전극의 내외부 표면에 모두 형성되고 내부 표면에 형성된 반구형 그레이인의 평균 크기와 외부 표면에 형성된 반구형 그레이인의 평균 크기가 서로 다른 것을 특징으로 하는 커패시터.

청구항 3

하부전극 콘택 플러그가 형성된 층간절연막 상에 상기 하부전극 콘택 플러그와 주위의 층간절연막을 노출하는 전극간 절연막 패턴을 형성하는 단계;

상기 전극간 절연막 패턴에 의해 형성된 단차를 따라 비정질 실리콘층을 형성하는 단계;

상기 단차에 의해 상기 비정질 실리콘층 상에 형성된 트렌치를 메우는 절연막을 형성하는 단계;

상기 전극간 절연막 패턴 상부에 형성된 상기 트렌치를 메우는 절연막 및 비정질 실리콘층을 제거하여 실린더 형상의 비정질 실리콘층을 형성하는 단계;

상기 실린더 형상의 비정질 실리콘층의 상부에 C₄H₉F₇계의 가스를 이용한 플라즈마 처리를 행하여 상기 상부 표면 및 모서리에 폴리머를 부착시키는 단계;

노출된 상기 전극간 절연막 패턴과 트렌치를 메우는 절연막 중 적어도 어느 하나를 제거하는 단계;

상기 실린더 형상의 비정질 실리콘층의 표면에 반구형 그레이인을 성장시켜 상기 폴리머가 부착된 상부 표면 및 모서리를 제외한 실린더의 내부, 외부 또는 내외부 표면에만 반구형 그레이인을 형성하는 단계;

상기 반구형 그레이인이 형성된 실린더 형상의 하부전극 상에 유전막을 형성하는 단계; 및

상기 유전막 상에 상부전극을 형성하는 단계를 구비하는 것을 특징으로 하는 커패시터의 형성방법.

청구항 4

제3항에 있어서, 상기 C₄H₉F₇계의 가스는 CHF₃ 또는 CH₃F인 것을 특징으로 하는 커패시터의 형성방법.

청구항 5

제3항에 있어서, 상기 전극간 절연막 패턴 상부에 형성된 상기 트렌치를 메우는 절연막 및 비정질 실리콘층을 제거하는 단계는 화학기계적 연마에 의해 수행되는 것을 특징으로 하는 커패시터의 형성방법.

청구항 6

제3항에 있어서, 상기 전극간 절연막 패턴 상부에 형성된 상기 트렌치를 메우는 절연막 및 비정질 실리콘층을 제거하는 단계는 C.F.₄계의 가스를 이용한 건식 에치백에 의해 수행되는 것을 특징으로 하는 커패시터의 형성방법.

청구항 7

제6항에 있어서, 상기 C.F.₄계의 가스는 CF₄, C₂F₆ 또는 C₃F₈인 것을 특징으로 하는 커패시터의 형성방법.

청구항 8

제3항에 있어서, 상기 트렌치를 메우는 절연막 및 전극간 절연막 패턴은 동일한 막질로 형성함으로써, 상기 전극간 절연막 패턴과 트렌치를 메우는 절연막 중 적어도 어느 하나를 제거하는 단계는, 상기 전극간 절연막 패턴과 트렌치를 메우는 절연막 둘다를 제거하는 것을 특징으로 하는 커패시터의 형성방법.

청구항 9

제3항에 있어서, 상기 트렌치를 메우는 절연막 및 전극간 절연막 패턴은 소정의 식각가스 또는 식각액에 대해 식각 선택비를 가지는 서로 다른 막질로 형성함으로써, 상기 전극간 절연막 패턴과 트렌치를 메우는 절연막 중 적어도 어느 하나를 제거하는 단계는, 상기 전극간 절연막 패턴과 트렌치를 메우는 절연막 중 어느 하나만을 선택적으로 제거하는 것을 특징으로 하는 커패시터의 형성방법.

청구항 10

제9항에 있어서, 상기 유전막을 형성하는 단계 전에,

상기 선택적으로 제거되고 남은 상기 트렌치를 메우는 절연막과 전극간 절연막 패턴중 나머지 하나를 마저 제거하는 단계를 더 구비하는 것을 특징으로 하는 커패시터의 형성방법.

청구항 11

제3항에 있어서, 상기 비정질 실리콘층을 형성할 때 소정 농도로 불순물을 도핑하는 것을 특징으로 하는 커패시터의 형성방법.

청구항 12

제11항에 있어서, 상기 불순물의 도핑 농도는 상기 비정질 실리콘층의 형성 초기와 후기에 있어서 서로 다른 것을 특징으로 하는 커패시터의 형성방법.

청구항 13

실린더 형상의 비정질 실리콘 하부전극을 형성하는 단계;

상기 하부전극의 상부 표면 및 모서리를 제외한 하부전극의 표면에 반구형 그래인을 형성하는 단계;

상기 상부 표면 및 모서리를 제외한 표면에 반구형 그래인이 형성된 하부전극 상에 유전막을 형성하는 단계; 및

상기 유전막 상에 상부전극을 형성하는 단계를 구비하는 것을 특징으로 하는 커패시터의 형성방법.

청구항 14

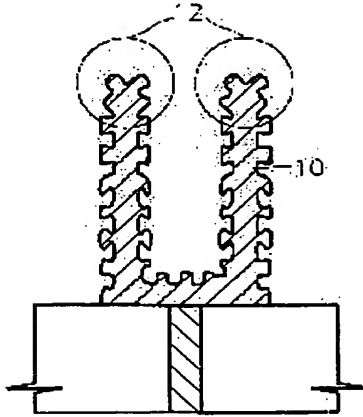
제13항에 있어서, 상기 반구형 그래인을 형성하는 단계는,

상기 실린더 형상의 비정질 실리콘 하부전극의 상부 표면 및 모서리에 C.H.F.₃계 가스를 이용한 플라즈마 처리를 행하는 단계; 및

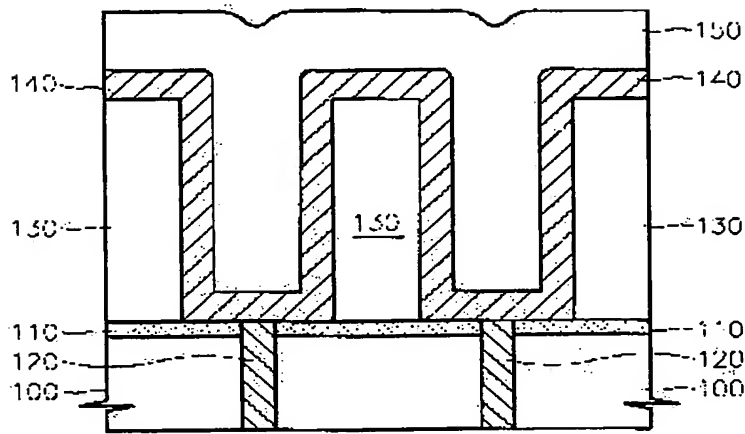
상기 플라즈마 처리된 하부전극의 표면에 반구형 그래인을 성장시키는 단계를 구비하여, 상기 하부전극의 상부 표면 및 모서리를 제외한 표면에만 반구형 그래인을 형성하는 것을 특징으로 하는 커패시터의 형성방법.

도면

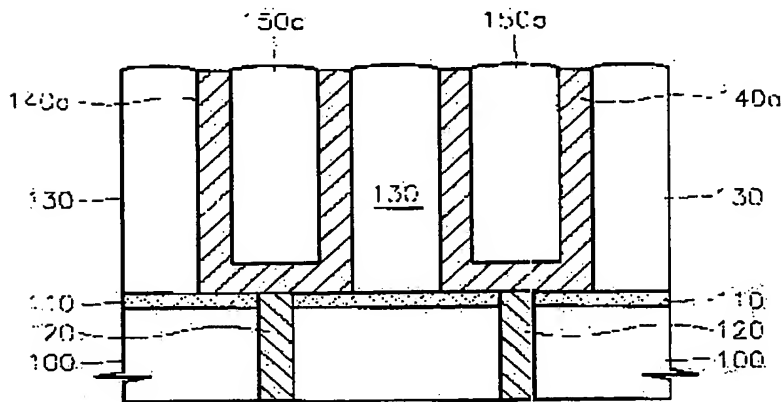
도 1



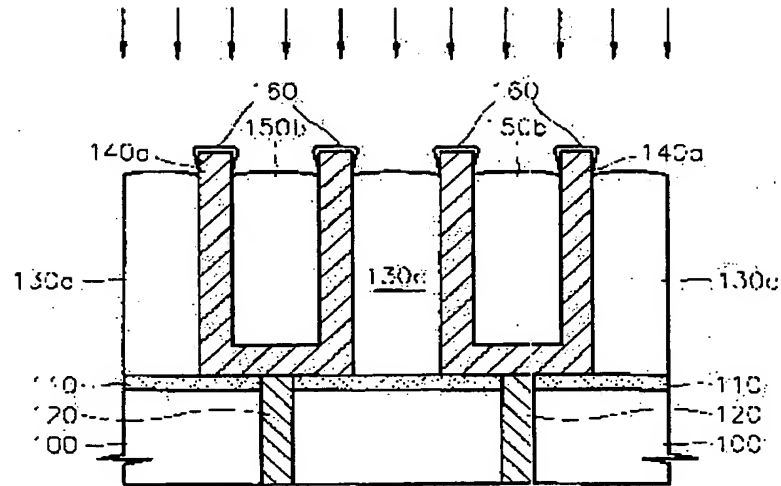
도 2



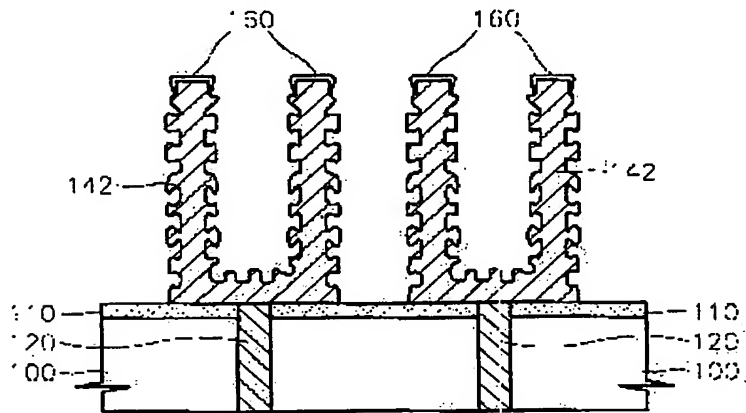
도 3



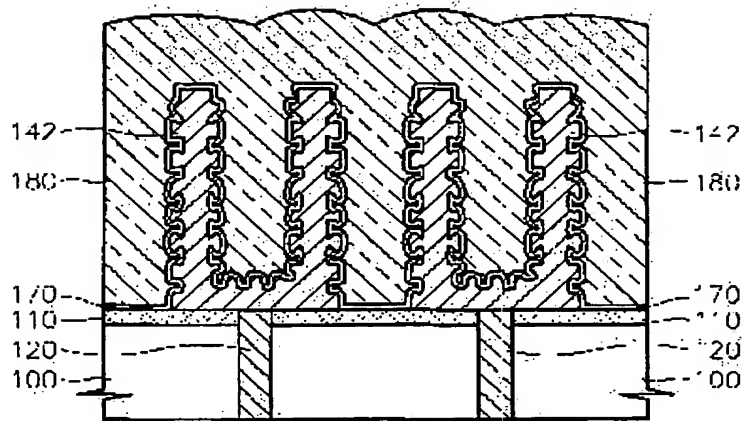
도 4



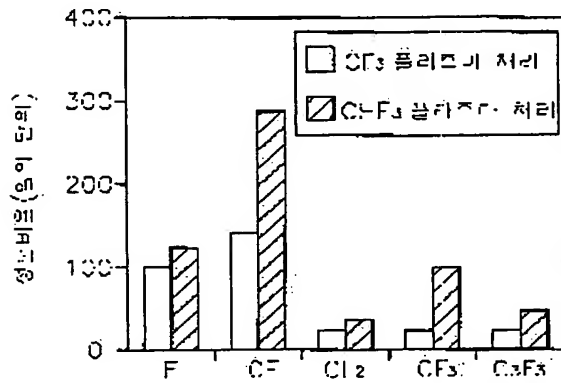
도 5



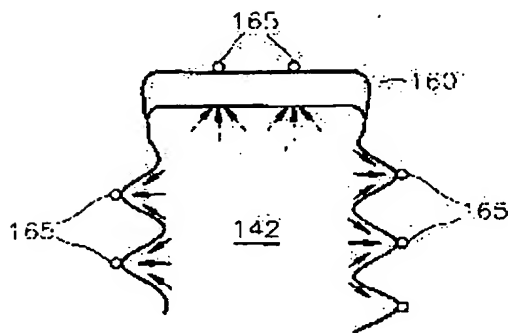
도면6



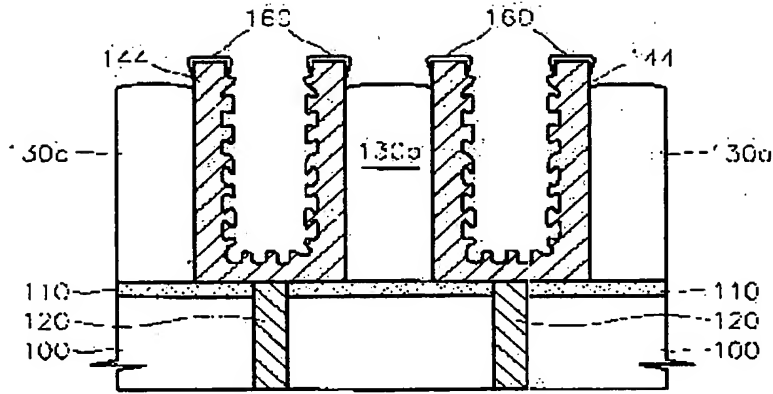
도면7



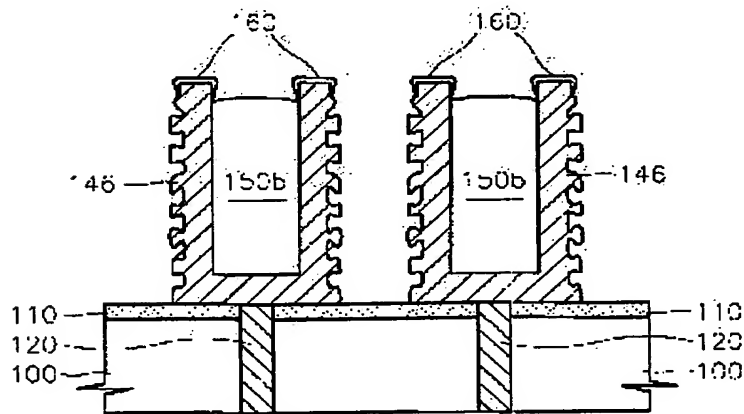
도면8



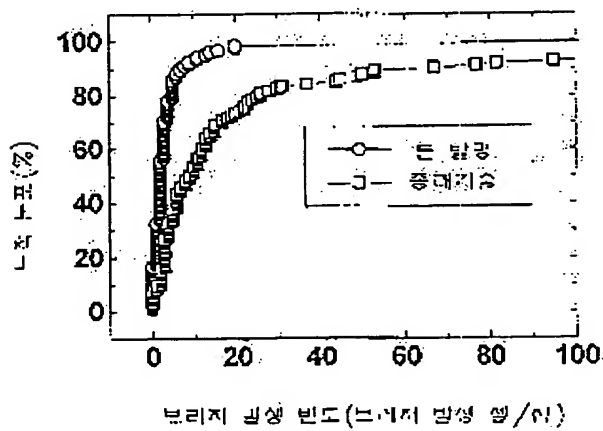
도면9



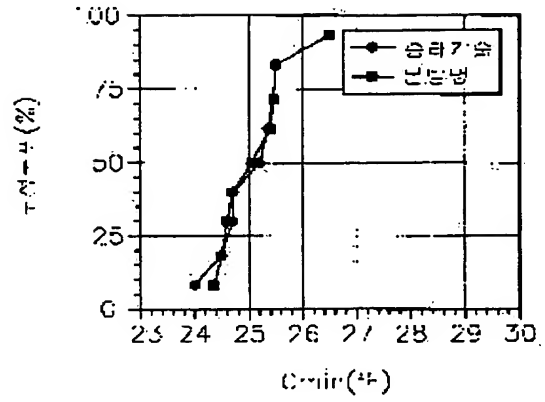
도면10



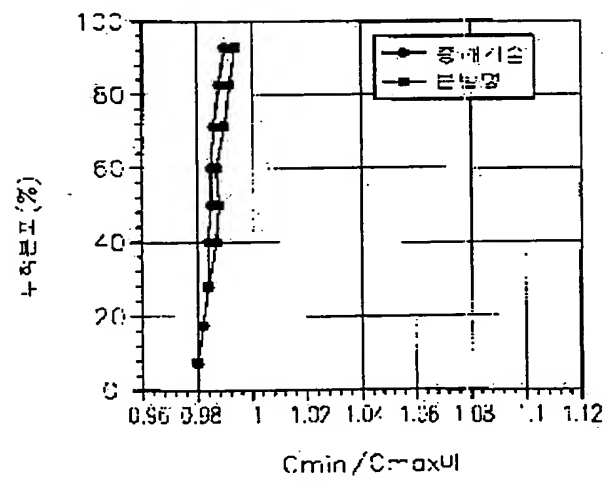
도면11



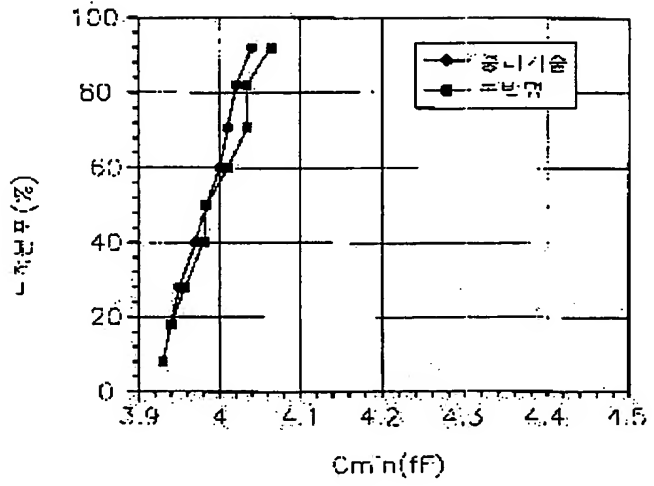
도면 12



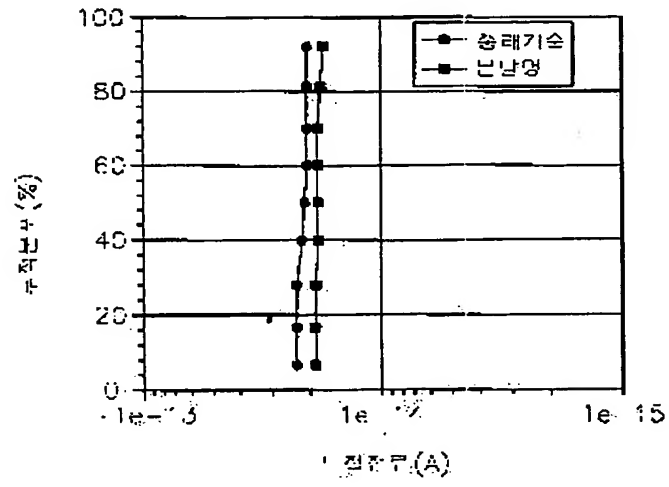
도면 13



도면 14



도면 15



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.